

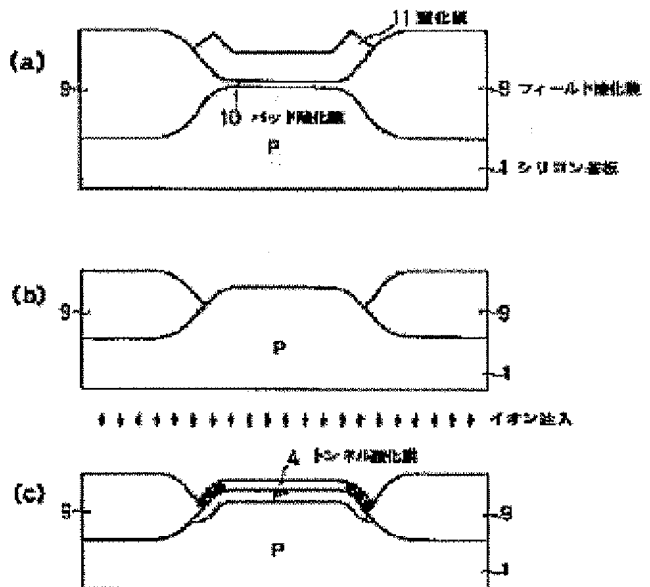
SEMICONDUCTOR STORAGE DEVICE AND OPERATION THEREOF

Patent number: JP5136429
Publication date: 1993-06-01
Inventor: UCHIDA EIJI
Applicant: OKI ELECTRIC IND CO LTD
Classification:
- international: **G11C17/00; G11C16/02; G11C16/04; H01L21/8247; H01L29/788; H01L29/792; G11C17/00; G11C16/02; G11C16/04; H01L21/70; H01L29/66; (IPC1-7): G11C16/02; G11C16/04; H01L29/788; H01L29/792**
- european:
Application number: JP19910293103 19911108
Priority number(s): JP19910293103 19911108

Report a data error here

Abstract of JP5136429

PURPOSE:To obtain a semiconductor storage device easily conducting read even when transistor characteristics are deteriorated when writing by forming two or more of channel regions having different threshold voltage in one transistor. **CONSTITUTION:**A pad oxide film 10 and a nitride film 11 are formed onto a silicon substrate 1 through LOCOS isolation and patterned, a field-oxide film 9 is formed through thermal oxidation, the nitride film 11 and the pad film 10 are removed and the field oxide film 9 is etched up to the intermediate section of the oxide film 9. When a tunnel oxide film 4 is shaped through thermal oxidation, positive charges are generated in a region, in which the field oxide film 4 is removed, and the threshold voltage of a channel region under the region is lowered. The ions of P-type impurities such as boron are implanted, a P \leftrightarrow layer is formed to the silicon substrate 1, and threshold voltage is controlled at a fixed value, thus easily conducting read even when transistor characteristics are deteriorated by hot carriers on write.



Family list**1** family member for: **JP5136429**

Derived from 1 application

1 SEMICONDUCTOR STORAGE DEVICE AND OPERATION THEREOF**Inventor:** UCHIDA EIJI**Applicant:** OKI ELECTRIC IND CO LTD**EC:****IPC:** *G11C17/00; G11C16/02; G11C16/04* (+12)**Publication info:** **JP5136429 A** - 1993-06-01Copyright © 2000-2001 Espacenet, Inc. All rights reserved. For more information, please contact Espacenet, Inc. at 2100 University Avenue, Suite 100, Berkeley, CA 94704-1000, USA. Tel: +1 415 526 4000. Fax: +1 415 526 4001. E-mail: esp@cenet.com
Data supplied from the **esp@cenet** database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-136429

(43) 公開日 平成5年(1993)6月1日

(51) Int. Cl. ⁵

識別記号

F I

H01L 29/788

29/792

G11C 16/02

H01L 29/78

371

G11C 17/00

307

D

9191-5L

審査請求 未請求 請求項の数 5 (全9頁) 最終頁に続く

(21) 出願番号 特願平3-293103

(22) 出願日 平成3年(1991)11月8日

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 内田 英次

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

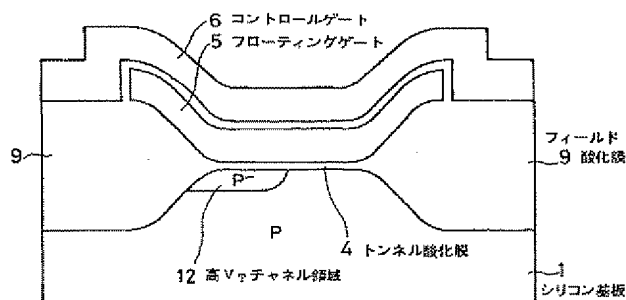
(74) 代理人 弁理士 鈴木 敏明

(54) 【発明の名称】 半導体記憶装置およびその動作方法

(57) 【要約】

【目的】 本発明は、不揮発性メモリを有する半導体記憶装置の一つであるフラッシュEEPROMのメモリセルに関するもので、その書き込み、読み出しを1つのトランジスタで行っているために、書き込み時にチャネルホットキャリアによるトランジスタ特性が劣化して読み出しが困難になるという問題点を解決することを目的とするものである。

【構成】 前記目的のために本発明は、前記メモリセルにおけるソースとドレインとの間のチャネルとして、しきい値電圧の異なる2つ以上のチャネル領域12を具えさせるようにしたものであり、書き込み、読み出しに当っては、しきい値電圧の高いチャネル領域と低いチャネル領域とを使いわけて行うようにした。



本発明の第1の実施例の構造説明図

【特許請求の範囲】

【請求項 1】 MOS 型構造の不揮発性メモリセルを有する半導体記憶装置に於て、

そのメモリセルにおけるソースとドレインとの間に、しきい値電圧の異なる 2 つ以上のチャネル領域を有することを特徴とする半導体記憶装置。

【請求項 2】 前記しきい値の異なる 2 つ以上のチャネル領域として、前記ソースとドレインとの間に 2 つ以上の異なる不純物濃度の領域を設けたことを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 3】 前記しきい値の異なる 2 つ以上のチャネル領域として、そのチャネル領域の上部の絶縁膜中に正電荷を存在させてあることを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 4】 請求項 1 ないし 3 のいずれかの項に記載した半導体記憶装置の動作方法として、しきい値電圧の高いチャネル領域で書き込みを行い、しきい値電圧の低いチャネル領域で読み出しを行うようにしたことを特徴とする N チャネル型半導体記憶装置の動作方法。

【請求項 5】 請求項 1 ないし 3 記載の半導体記憶装置の動作方法として、しきい値電圧の低いチャネル領域で書き込みを行い、しきい値電圧の高いチャネル領域で読み出しを行うようにしたことを特徴とする P チャネル型半導体記憶装置の動作方法。

【発明の詳細な説明】

【 0 0 0 1 】

【産業上の利用分野】 この発明は、不揮発性メモリを有する半導体記憶装置の一つであるフラッシュ EEPROM 30

表 3 従来のフラッシュ EEPROM メモリセルの印加電圧条件

	動 作 モ ー ド		
	書き込み	消 去	読み出し
コントロールゲート	10	-10	1
ドレイン	5	開 放	5
ソース	0	5	0

【 0 0 0 6 】 書き込み時は図 3 のコントロールゲート 6 及びドレイン 2 に正電圧、例えば 10 V 及び 5 V をそれぞれ印加して、チャネルホットエレクトロンによりドレイン 2 近傍のシリコン基板 1 からフローティングゲート 5 へ電子を注入し、情報を書き込む。

【 0 0 0 7 】 消去時には、ドレイン 2 を開放し、ソース 3 に 5 V、コントロールゲート 6 に負電圧、例えば -10 V を印加して、ソース 3 上のトンネル酸化膜 4 を高電

M のメモリセルの構造とその動作方法に関するものである。

【 0 0 0 2 】

【従来の技術】 現在、不揮発性メモリとして最も注目されているのがフラッシュ EEPROM (Electrically Erasable Programmable Read Only Memory) であり、例えば日経マイクロデバイス [73] (1991-7-1) p. 73-75 に開示されている。図 3 にそのフラッシュ EEPROM の一構成例を示す。

【 0 0 0 3 】 このフラッシュ EEPROM は 1 トランジスタで構成されるため、最も集積化が容易な不揮発性メモリである。P 型のシリコン基板 1 の表面に n' 型のドレイン 2 及びソース 3 が形成され、さらにそれらの上にトンネル酸化膜 4 を介して、電荷蓄積用のフローティングゲート 5、及びコントロールゲート 6 が形成されている。さらに、コントロールゲート 6 上には中間絶縁膜 7 が形成され、その中間絶縁膜 7 に設けられたコンタクト穴を通して A1 配線 8 がドレイン 2 等に接続されている。

【 0 0 0 4 】 次に、表 3 を参照しつつ図 3 の書き込み、消去、読み出し方法について説明する。なお、表 3 はフラッシュメモリセルを駆動するための印加電圧条件を示す表である。ここで、フローティングゲート 5 に電子が注入されてしきい値電圧が高くなった状態を書き込みとし、逆にフローティングゲート 5 から電子が引き出されて閾値電圧が低くなった状態を消去とする。

【 0 0 0 5 】

【表 3】

界にする。すると、ファウラー・ノルドハイム (Fowler-Nordheim, 以下 FN と記す) トンネリングにより、フローティングゲート 5 からソース 3 に電子が放出され、情報の消去が行われる。

【 0 0 0 8 】 読み出し時には、コントロールゲート 6 及びドレイン 2 に正電圧、例えば 5 V 及び 1 V をそれぞれ印加し、トランジスタのオン・オフ状態を検出することで情報を読み出す。このようにして消去・書き込み・読

み出しを行うことにより、不揮発性メモリセルとして機能させる。

【0009】

【発明が解決しようとする課題】しかしながら、従来のフラッシュEEPROMは、消去・書き込み・読み出しを1つのトランジスタで行うために、書き込み時にチャネルホットキャリアによってトランジスタ特性が劣化し、読み出しが困難になるという問題点があった。

【0010】この発明は、従来のフラッシュEEPROMの構造的特徴に由来する上記問題点を、高集積化の特徴を維持したまま、根本的に解決した半導体記憶装置を提供することを目的とする。

【0011】

【課題を解決するための手段】本発明は前述の目的のために、MOS型構造の不揮発性メモリセルよりなる半導体記憶装置において、しきい値電圧の異なる2つ以上の

$$V_T = \phi_{ms} - Q_f / C_i + 2\phi_B + \sqrt{2\varepsilon_s q N_A (2\phi_B + V_{BS})} / C_i \quad (1)$$

$$\phi_B = \frac{kT}{q} \ln \left(\frac{N_A}{n_i} \right)$$

【0015】ここで ϕ_{ms} はゲート電極とシリコン基板の仕事関数差、 Q_f はゲート酸化膜の電荷量、 C_i はゲート酸化膜容量、 ε_s はシリコンの誘電率、 q は電気素量、 N_A はシリコン基板中のアクセプタ濃度、 V_{BS} は基板バイアス電圧、 k はボルツマン定数、 T は絶対温度、 n_i は真性キャリア濃度である。従って、式(1)右辺の変数を1つのトランジスタの中で変えることにより、しきい値電圧の異なるチャネル領域を有する1つのトランジスタを作成することができる。

【0016】図1及び図2は本発明のnチャネル型半導体記憶装置の第1および第2の実施例の構造例説明図であり、従来例の図3のA-A'で切断した時の断面構造に相当する。図1は本発明の第1の実施例であり、チャネル領域のアクセプタ濃度が均一でなく、P⁻領域12及びそれ以外のP領域で形成されている（形成方法は後述）。式(1)からわかる様に、アクセプタ濃度（式

(1)では N_A に対応する。）が異なると、しきい値電圧が変化するため、図1では1つのトランジスタでしきい値電圧の異なる2つのチャネル領域を持っており、P⁻領域12でしきい値電圧が高い。この図では、nチャネル型について示しているが、アクセプタ型をドナー型

チャネル領域を具えた1トランジスタで構成されるようにしたものである。

【0012】

【作用】前述のように本発明は、1つのトランジスタでしきい値電圧の異なる2つ以上のチャネル領域を具えるようにしたので、書き込み時にホットキャリアによってトランジスタ特性が劣化しても、読み出しを容易に行うことができる。

【0013】

【実施例】本発明の特徴はしきい値電圧の異なるチャネル領域を有する1つのトランジスタを用いたフラッシュEEPROMである。しきい値電圧 V_T は次式で表される。

【0014】

【数1】

の不純物に変えれば、同様にPチャネル型でもしきい値電圧の異なる2つのチャネル領域を形成することが可能である。

【0017】図2は本発明の第2の実施例であり、トンネル酸化膜4の1部に正電荷が存在するように形成してある（形成方法は後述）。この正電荷は式(1)の Q_f に対応し、正電荷領域では、しきい値電圧が他の領域に比べて低くなる。従って、第1の実施例と同様に、1つのトランジスタで2つのチャネル領域が存在する。正電荷の代わりに負電荷がトンネル酸化膜4の1部に存在しても、しきい値電圧を変動させることが可能である。またPチャネル型についてもトンネル酸化膜の1部に電荷を存在させてやれば、2つのチャネル領域を形成させることができる。

【0018】次に、図1及び図2で説明したメモリセルの動作方法について説明する。表1にnチャネル型メモリセルの印加電圧条件を示す。ここでは、トンネル酸化膜厚15nm、カップリング比0.6、2つのチャネル領域のしきい値電圧が2V及び5Vを想定して説明する。

【0019】

【表1】

5
表1 本発明のフラッシュEEPROMメモリセルの印加電圧条件

(nチャネル型)

	動作モード		
	書き込み	消去	読み出し
コントロールゲート	15	-15	4
ドレイン	5	開放	1
ソース	0	5	0

【0020】書き込み時には、コントロールゲート、ドレイン、ソースにそれぞれ15、5、0Vを印加する。この印加条件で、しきい値電圧の高いチャネル領域ではチャネルホットキャリアがトンネル酸化膜を通してフローティングゲートに注入されるが、しきい値電圧の低い領域では1/10以下となる。これは、ドレイン電圧と

（コントロールゲート電圧-しきい値電圧）×カップリング比が等しい印加条件でチャネルホットキャリアの発生率が最大となるためである。

【0021】消去時には、コントロールゲート、ドレイン、ソースにそれぞれ-15、開放、5Vを印加すると、FNトンネリングによりフローティングゲートからソースに電子が放出され、情報の消去が行われる。

【0022】読み出し時には、コントロールゲート、ドレイン、ソースにそれぞれ4、1、0Vを印加し、トラ

ンジスタのオン、オフ状態を検出することで情報を読み出す。この印加条件では、しきい値電圧の高いチャネル領域は常にオフ状態であり、読み出し時には、しきい値電圧の低いチャネル領域だけで情報を読み出すことができる。従って、しきい値電圧が高いチャネル領域は書き込み用として用いられ、しきい値電圧が低い領域は読み出し用として用いられるため、書き込み時にチャネルホットキャリア注入でトランジスタ特性が劣化しても、読み出しを容易に行うことができる。

【0023】表2にPチャネル型メモリセルの印加電圧条件を示す。ここでは、トンネル酸化膜厚15nm、カップリング比0.6、2つのチャネル領域のしきい値電圧が-6V及び-9Vを想定して説明する。

【0024】

【表2】

表2 本発明のフラッシュEEPROMメモリセルの印加電圧条件

(Pチャネル型)

	動作モード		
	書き込み	消去	読み出し
コントロールゲート	-9	-15	-4
ドレイン	-5	開放	-1
ソース	0	5	0

【0025】書き込み時には、コントロールゲート、ドレイン、ソースにそれぞれ-9、-5、0Vを印加する。この印加条件で、しきい値電圧の低いチャネル領域ではアバランシェホットキャリア（電子）がトンネル酸化膜を通してフローティングゲートに注入されるが、しきい値電圧の高い領域では1/10以下となる。これは、コントロールゲート電圧としきい値電圧が等しい印加条件でアバランシェホットキャリアの発生率が最大となるためである。

【0026】消去時には、コントロールゲート、ドレイン

ン、ソースにそれぞれ-15、開放、5Vを印加すると、FNトンネリングによりフローティングゲートからソースに電子が放出され、情報の消去が行われる。この印加条件はnチャネル型の場合と全く同じである。

【0027】読み出し時には、コントロールゲート、ドレイン、ソースにそれぞれ-4、-1、0Vを印加し、トランジスタのオン・オフ状態を検出することで情報を読み出す。この印加条件では、しきい値電圧の低いチャネル領域は常にオフ状態であり、読み出し時にはしきい値電圧の高いチャネル領域だけで情報を読み出すことが

できる。従って、nチャネル型と同様に、書き込み用と読み出し用のチャネルが異なるため、書き込み時にアバラシエホットキャリア注入でトランジスタ特性が劣化しても、読み出しを容易に行うことができる。

【0028】以上nチャネル型及びpチャネル型メモリの印加電圧条件について説明したが、本発明の印加電圧条件は限定されたものではなく、トンネル酸化膜厚、カップリング比、2つのチャネル領域のしきい値電圧等が変わると最適印加電圧条件も変わる。

【0029】次に本実施例の装置の製造方法を5つの実施例について、図4から図8に示し、順次説明する。本説明では、nチャネル型について示すが、pチャネル型についても不純物のタイプを変えるだけで同様の方法で製造可能である。

【0030】(1) 第1の製造実施例(前述の第1の実施例の装置相当)

図4に第1の実施例を示す。

【0031】まず図4(a)のように、シリコン基板1上に従来のLOCOS分離方法を用いてフィールド酸化膜9を形成する。LOCOS分離では、パッド酸化膜10及び窒化膜11を形成し、この窒化膜11をパターンニングした後、熱酸化、例えばウェット酸化によりフィールド酸化膜9を形成する。次に図4(b)のように、窒化膜11及びパッド酸化膜10を除去した後、熱酸化により、例えば膜厚15nm程度のトンネル酸化膜4を形成する。その上に一層目のポリシリコン5を堆積させた後、このポリシリコン層5にリン等のn型不純物を導入する。

【0032】次に図4(c)のように、ポリシリコン層5をパターンニングして、チャネル領域上のポリシリコン層5の1部の厚さを例えば50nm程度まで薄くする。引き続きボロン等のp型不純物をイオン注入する。ポリシリコン層5が薄い領域では、p型不純物が基板1まで到達し、しきい値電圧が高いチャネル領域12が形成できる。次に図4(d)のように、ポリシリコン層5をパターンニングしてフローティングゲートとし、その上に薄い絶縁膜、例えば30nmの酸化膜/窒化膜/酸化膜を介して2層目のポリシリコン層6を堆積させる。このポリシリコン層6にn型不純物を導入し、パターンニングを行ってコントロールゲート6を形成する。その後図示しないがn型不純物、例えばヒ素をイオン注入し、この不純物を熱処理により活性化させてソース・ドレインを形成し、中間絶縁膜の堆積やA1配線の形成を行い、メモリセルを作成する。

【0033】(2) 第2の製造実施例

図5に第2の実施例を示す。

【0034】まず図5(a)のように、シリコン基板1上にパッド酸化膜10及び窒化膜11を形成し、この窒化膜11をパターンニングした後、イオン注入により、p型不純物、例えばボロンをイオン注入し、シリコン基板

1にp⁺層を形成する。

【0035】次に図5(b)のように、もう一度窒化膜を堆積させ、異方性エッチングによりサイドウォール窒化膜13を形成する。

【0036】次に図5(c)のように、熱酸化、例えばウェット酸化によりフィールド酸化膜9を形成すると、しきい値電圧が高いチャネル領域12ができる。

【0037】次に図5(d)のように、窒化膜11及びパッド酸化膜10を除去した後、熱酸化により例えば膜厚15nm程度のトンネル酸化膜4を形成する。その上に1層目のポリシリコン5を堆積させた後、このポリシリコン層5にn型不純物、例えばリンを導入し、パターンニングを行ってフローティングゲート5を形成する。その後は、第1の製造実施例と同じ手順を経てメモリセルを作成する。

【0038】(3) 第3の製造実施例

図6に第3の実施例を示す。

【0039】まず図6(a)のように、シリコン基板1上に第1の製造実施例と同じ手順を経て、フィールド酸化膜9を形成する。

【0040】次に図6(b)のように、窒化膜11及びパッド酸化膜10を除去した後、熱酸化により例えば膜厚20nm程度のマスク酸化膜を形成する。引き続きボロン等のp型不純物をイオン注入して、シリコン基板1にp⁺層を形成する。

【0041】次に図6(c)のように、チャネル領域の1部をパターンニングしてp⁺層よりも深くエッチングすると、しきい値電圧よりも高いチャネル領域12が形成できる。さらにマスク酸化膜14を除去した後、熱酸化により例えば15nmのトンネル酸化膜を形成する。その後は図6(d)のように、第2の製造実施例と同じ手順を経てメモリセルを形成する。

【0042】(4) 第4の製造実施例

図7に第4の実施例を示す。

【0043】まず図7(a)のように、シリコン基板1にn型不純物、例えばボロンをイオン注入するか、p⁺層をエピタキシャル成長させて、p⁺層を形成する。

【0044】次に図7(b)のように、第1の製造実施例と同じ手順を経て、フィールド酸化膜9を形成する。

【0045】次に図7(c)のように、窒化膜11及びパッド酸化膜10を除去した後、チャネル領域の1部をパターンニングしてp⁺層よりも深くエッチングすると、しきい値電圧よりも高いチャネル領域12が形成できる。さらに熱酸化により例えば15nmのトンネル酸化膜を形成する。その後は図7(d)のように、第2の製造実施例と同じ手順を経てメモリセルを形成する。

【0046】

(5) 第5の実施例(前述の第2の実施例の装置相当)

図8に第5の実施例を示す。第1の製造実施例と同じ手順を経てフィールド酸化膜9を形成する。

【0047】次に図8（b）のように、窒化膜11及びパッド酸化膜10を除去した後、さらに正電荷をトンネル酸化膜中に発生させるため、フィールド酸化膜9を途中までエッチングする。

【0048】次に図8（c）のように、熱酸化により例えば15nmのトンネル酸化膜4を形成すると、フィールド酸化膜9が除去された領域に正電荷が発生し、その下のチャネル領域のしきい値電圧が下がる。引き続きP型不純物例えばボロンをイオン注入し、シリコン基板1にP⁺層を形成して、しきい値電圧を所定の値に制御す

10

【0049】

【発明の効果】以上、詳細に説明したようにこの発明によれば、1つのトランジスタでしきい値電圧の異なる2つ以上のチャネル領域を具えているため、書き込み時にホットキャリアによってトランジスタ特性が劣化して

も、読み出しを容易に行うことができる。また、上記トランジスタを作成するために、何ら新しい製造技術を用いる必要がなく、製造工程も容易である。

【図面の簡単な説明】

【図1】本発明の第1の実施例の構造説明図

【図2】本発明の第2の実施例の構造説明図

【図3】従来例の構造説明図

【図4】本発明の第1の実施例の製造工程

【図5】本発明の第2の実施例の製造工程

【図6】本発明の第3の実施例の製造工程

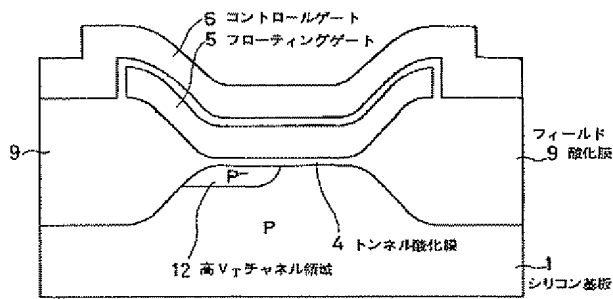
【図7】本発明の第4の実施例の製造工程

【図8】本発明の第5の実施例の製造工程

【符号の説明】

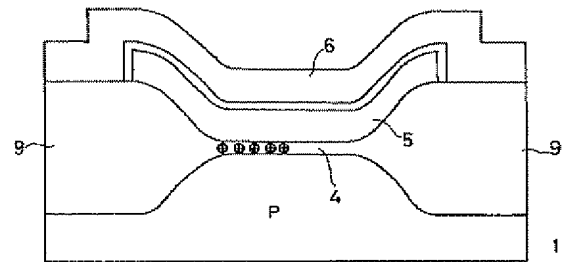
- 4 トンネル酸化膜
- 5 フローティングゲート
- 6 コントロールゲート
- 12 高V_Tチャネル領域

【図1】



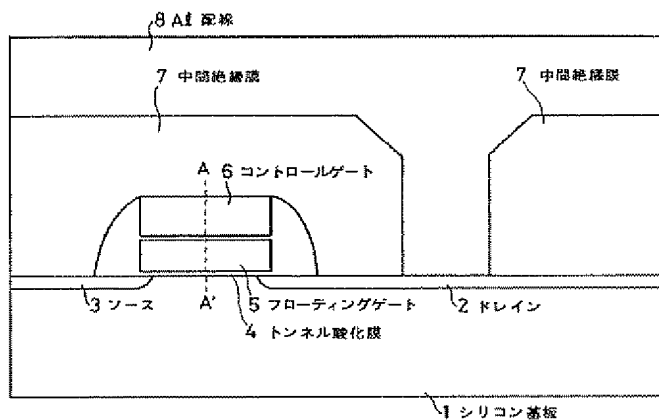
本発明の第1の実施例の構造説明図

【図2】



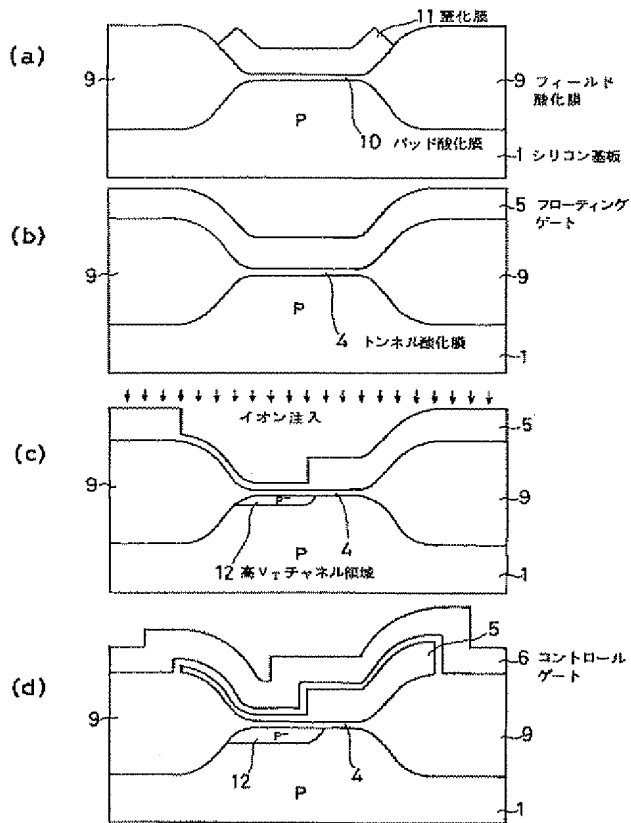
本発明の第2の実施例の構造説明図

【図3】



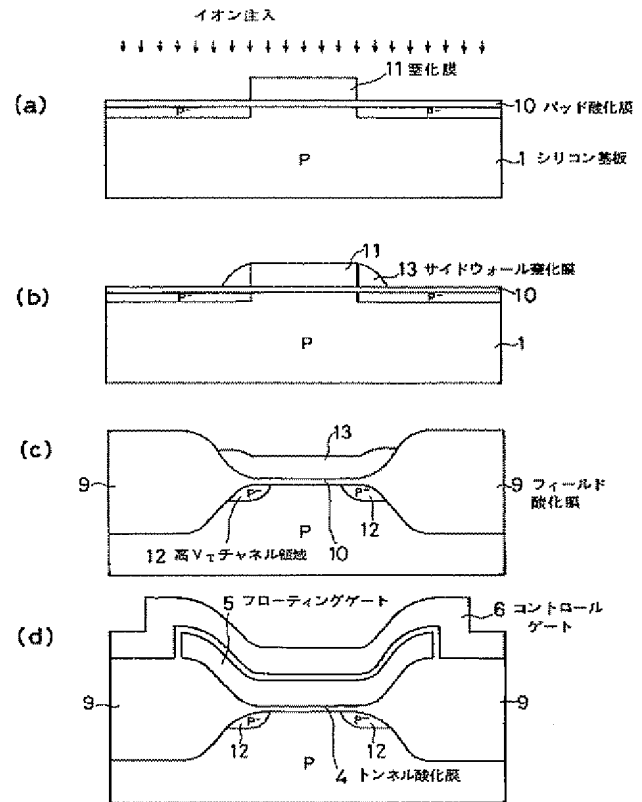
従来例の構造説明図

【図 4】



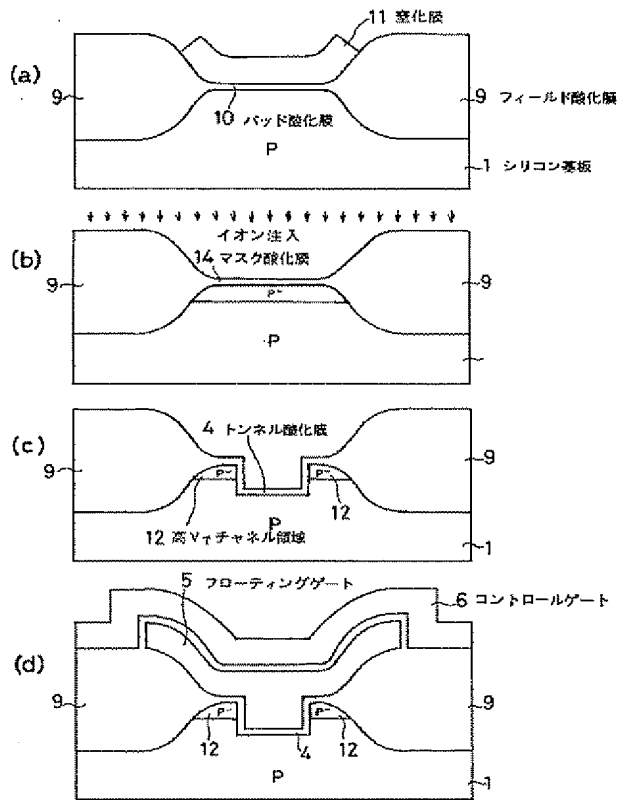
本発明の第 1 の実施例の製造工程

【図 5】



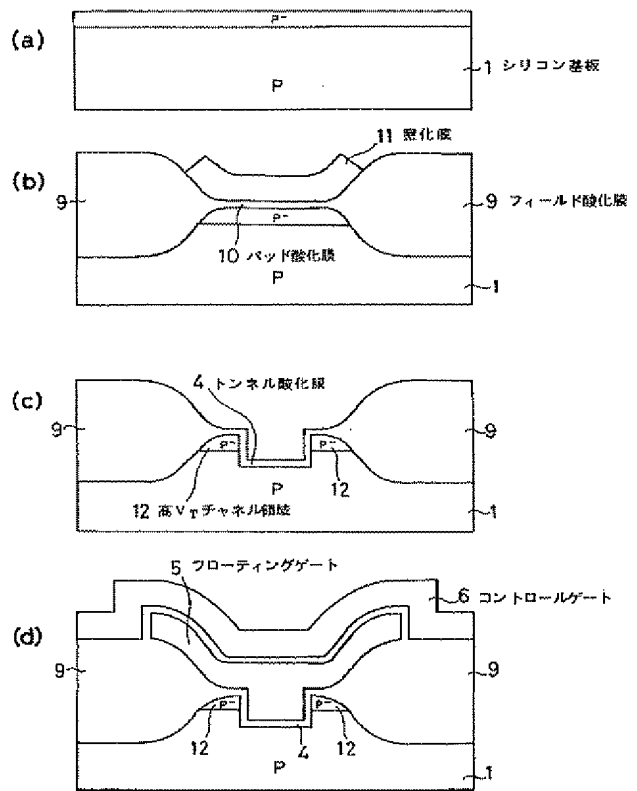
本発明の第 2 の実施例の製造工程

【図 6】



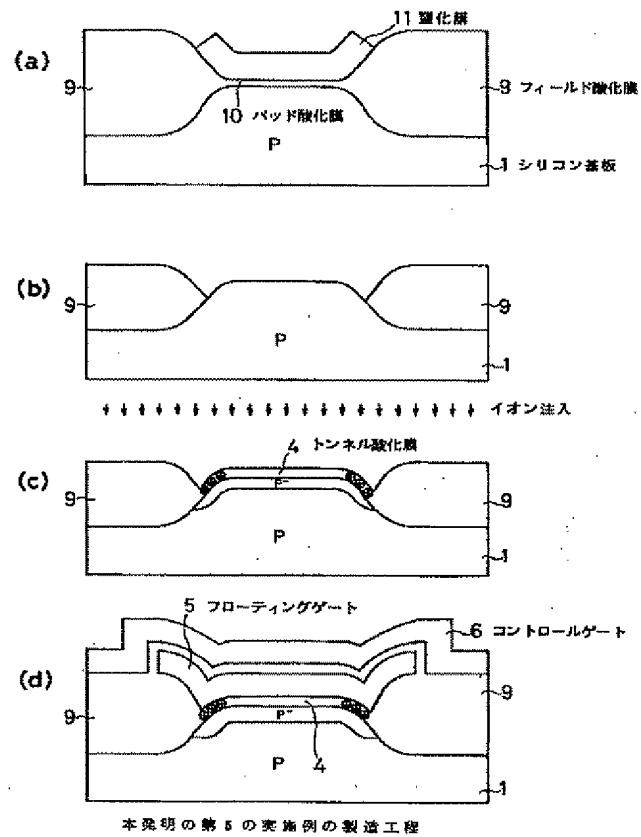
本発明の第 3 の実施例の製造工程

【図 7】



本発明の第 4 の実施例の製造工程

【図 8】



フロントページの続き

(51) Int. Cl.⁵

G 1 1 C 16/04

識別記号

庁内整理番号

F I

技術表示箇所